

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-017374

(43)Date of publication of application : 17.02.1978

(51)Int.Cl.

G01R 19/16

G01R 19/04

(21)Application number : 51-090840

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.07.1976

(72)Inventor : NAITO TOMIO

(54) SINGLE CHANNEL PULSE HEIGHT ANALYZER

(57)Abstract:

PURPOSE: To highly accurately select the input signals within upper and lower limits and simplify circuit configurations by delaying the signals with two sets of FFs and making "and" operations.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

㉑日本国特許庁

㉒特許出願公開

公開特許公報

昭53-17374

㉓Int. Cl.³
G 01 R 19/16
G 01 R 19/04

識別記号

㉔日本分類
110 B 8

庁内整理番号
7241-24

㉕公開 昭和53年(1978)2月17日

発明の数 1
審査請求 有

(全 3 頁)

㉖シングルチャンネル波高分析器

東京都府中市東芝町1 東京芝浦
電気株式会社府中工場内
㉗出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
㉘代 理 人 弁理士 富岡章 外1名

㉙特 願 昭51-90840
㉚出 願 昭51(1976)7月31日
㉛発 明 者 内藤富夫

明 細 書

1. 発明の名称

シングルチャンネル波高分析器

2. 特許請求の範囲

上限設定器と、下限設定器と、パルス入力信号を上限設定信号で比較し、そのパルス入力信号が大のとき第1比較信号を出力する第1比較器と、前記パルス入力信号を下限設定信号で比較し、そのパルス入力信号が大のとき第2比較信号を出力する第2比較器と、記憶要素を有し、第2比較信号に依る少なくとも1パルス前の第1比較信号を記憶して第2比較信号のもとで記憶内容を出力する記憶回路と、記憶回路の出力の否定された信号と第2比較信号との論理積の演算をし、成立したとき信号を出力する論理演算回路とを備えてなるシングルチャンネル波高分析器。

3. 発明の詳細な説明

本発明は、シングルチャンネル波高分析器に関する。

波高にエネルギー情報を含むパルス群から、特

定のエネルギー値のパルスを選出するのにシングルチャンネル波高分析器が用いられている。

一般には第1図に示すとき、上限の波高値を設定する上限設定器1、下限の波高値を設定する下限設定器2、入力信号が上限設定信号より大のとき出力を生ずる第1比較回路3、入力信号が下限設定信号より大きいとき信号を出力する第2比較回路4、第1および第2比較信号を入力とする論理演算回路5からなり、入力信号の波高値が上限設定レベルよりも低く、下限設定レベルよりも高いとき論理演算回路より出力し、上下限レベル間に存在する波高値の入力パルスを選択出力している。

ところで第1比較信号は上限設定レベルを超える波高値の入力信号のとき生じ、第2比較信号は下限設定レベルを超える波高値の入力信号のとき生ずるものであり、その第2比較信号には第1比較信号成分が含まれるときもある。

それら第1比較信号および第2比較信号より上下限レベル間に波高値のある入力信号を選択する

場合単なる論理演算のみでその機能を満すことができない。

したがって論理演算回路5は遅延回路を設けるようにし、第1比較信号と遅延回路により上・下限レベル遅れにもついで定められた遅延時間だけ遅れた第2比較信号より上下限レベル範囲内の波高値の入力信号を選択している。

しかしながら入力パルスをとりあげれば、パルスの波高値が変り、その波高値が変ればパルス幅も異なることから遅延時間が常に一定とは限られておらないため対象レベル範囲以外の波高値をとる入力パルスのときも信号を出力することになり遅延回路を用いてもまだ正確な選択度を有するシングルチャネル波高分析器が存在していない。また第1比較信号および遅延した第2比較信号の論理演算を行なうために論理演算回路が複雑な回路になる欠点を有していた。

本発明の目的とするところは、論理演算回路における遅延回路の遅延時間を調整とせずに選択精度を向上し、回路構成を簡素化したシングルチャ

ネル波高分析器を提供することにある。

以下本発明の実施例を図面を参照しながらより具体的に説明する。

例えば放射線検出器（図示せず）より放出されるエネルギー分布を測定するものについて説明する。放射線検出器（図示せず）からの出力が端子11に与えられる。その端子11は一对の入力端に与えられる信号を比較する第1および第2比較回路12、13の一方の入力端にそれぞれ接続する。第1比較回路12は上段比較用として使用し、他方の入力端を上限レベルを設定する上限設定器12aの出力側に接続する。第2比較回路13は下段比較用として使用し、他方の入力端を下限レベルを設定する下限設定器13aの出力側に接続する。それら第1および第2比較回路12、13は出力側を2個のフリップフロップ回路15a、15bを縦続接続するシフトレジスタ回路15のセフト入力端・シフト入力端に反転回路14を介してそれぞれ接続する。

そのシフトレジスタ回路15は、上段比較回路12

の出力を第1桁目に相当するフリップフロップ回路15aのセフト入力端に、下段比較回路13の出力をシフトレジスタ回路15のシフト信号とし、第2桁目に相当するフリップフロップ回路15bの反転出力側を論理演算回路16の入力側に接続する。その論理演算回路16は前記シフトレジスタ回路15の出力以外に下段比較回路13の出力信号を入力信号として導き両者の論理演算をとり成立したとき信号を出力する。

このような回路からなる本発明の装置の作動を第3図および第4図を参照しながら説明する。

第3図に示すごときの第1パルス、第5パルスが下限および上限を超え、第3パルス、第4パルスおよび第6パルスが下限レベルのみを超す入力信号が端子11に与えられると仮定すれば、上限レベルより大きな波高値の第1および第3パルスのとき第1比較回路12から第4図に示すごとき比較信号が出力される。また下限レベルより大きな波高値の第1、第3、第4、第5および第6パルスのとき第4図に示すごとき第2比較回路13

から出力される。第2比較信号の立上りによつてシフトし、第1比較信号の立上りによつてセフトされる第1桁目のフリップフロップ回路15aからは第4図Cに示すごとき信号が取られ、第2桁目のフリップフロップ回路15bに入力信号として与える。

シフト信号が発生するとにその立上りで第1桁目のフリップ・フロップ回路の出力を移す第2桁目のフリップフロップ回路のQ₂の出力端から第4図dに示されるような信号が生じ、その不定信号と第2比較信号の論理積をとる論理演算回路16から第4図eに示されるよう1パルス遅れて上限レベルと下限レベルとの間に波高値をとる入力パルスの存在したときのみ出力信号が生ずる。

なお第1パルスの発生時に論理演算回路16から出力が生じているが、これは電源投入時、或は入力端を検出器に接続したとき生ずるものであつて、実際には電源投入、或は入力端を検出器に接続したときより測定しないため無視と測定値に含まれることがない。

よつて上限レベルと下限レベルとの間に放電値をとるパルス的人力信号のあつたときのみ論理演算回路から出力が生じて選別の目的が達成された。

以上詳述した本願発明は、上・下限設定器、2個の比較回路、2個のフリップフロップ回路および論理演算回路から構成したことにより、回路構成が簡素化になり、それに2個のフリップフロップ回路によつて信号を遅延しているために従来のように遅延回路の遅延時間を設定するような調整が不要になり、遅延時間にともなつて生ずる漏れ誤差を少なくし、シングルチャネル放電分析器の信頼性の向上がはかれる。

4. 図面の簡単な説明

第1図は従来のシングルチャネル放電分析器の電気回路をブロック的に示す図、第2図は本願発明にもとづくシングルチャネル放電分析器の電気回路をブロック的に示す図、第3図は本願のシングルチャネル放電分析器に入力する信号波形図、第4図は本願発明の装置の各部の動作波形

を示す図である。

12, 13 ……上・下限比較回路

12a, 13a ……上・下限設定回路

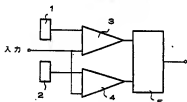
15 ……シフトレジスタ回路

16 ……論理演算回路。

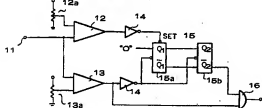
代理人 仲理士 富 勇 幸
(ほか1名)

(以下) 特許

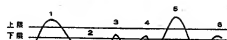
第1図



第2図



第3図



第4図

